

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 4-369217 (A) (43) 22.12.1992 (19) JP

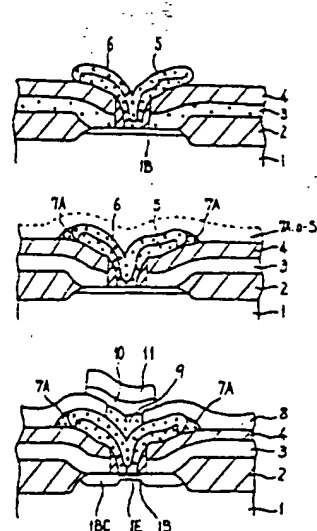
(21) Appl. No. 3-145087 (22) 18.6.1991

(71) FUJITSU LTD (72) HIROMI HAYASHI

(51) Int. Cl.⁵ H01L21/28, H01L21/3205, H01L21/331, H01L29/73

PURPOSE: To flatten the surface of a substrate in such a way that a metal for a metal electrode is not oxidized regarding a flattening method used to form the metal electrode.

CONSTITUTION: The title device is constituted in the following order: 1) an interlayer insulating film 4 is formed on a semiconductor substrate 1; a pattern composed of a metal film 6 is formed on the film; an amorphous silicon film 7A is grown on the whole surface of the substrate; the film is etched back; a sidewall is formed on the side face in the peripheral edge part of said pattern; and an insulating film 8 is applied to the substrate. 2) an interlayer insulating film 4 is applied to a semiconductor substrate 1; an opening is formed in the interlayer insulating film; the surface of the substrate is exposed; an electrode composed of a polysilicon film 5 is formed so as to cover the opening; a high-melting-point metal film 6 is grown selectively on the electrode; an amorphous silicon film 7A is grown on the whole surface of the substrate; the amorphous silicon film is etched back; a sidewall is formed on the side face in the peripheral edge part of the high-melting-point metal film; and an insulating film 8 is applied to the substrate.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-369217

(43) 公開日 平成4年(1992)12月22日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/28	B	7738-4M		
21/3205	3 0 1 T	7738-4M		
		7353-4M	H 0 1 L 21/ 88	K
		7377-4M	29/ 72	
審査請求 未請求 請求項の数 2 (全 4 頁) 最終頁に続く				

(21) 出願番号 特願平3-145087

(22) 出願日 平成3年(1991)6月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 林 浩美

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

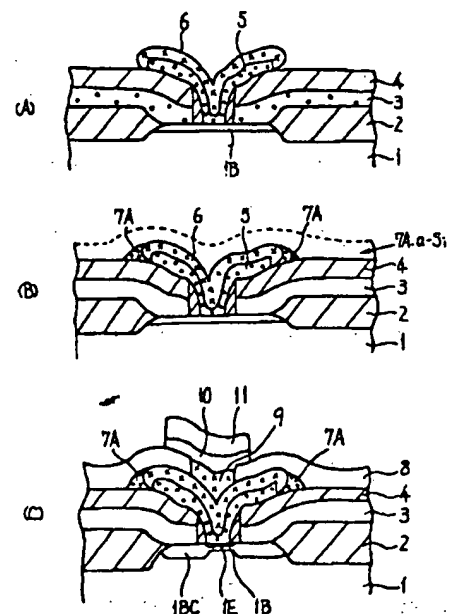
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 金属電極を形成した際の平坦化方法に関し、金属電極の金属が酸化されないで基板表面を平坦化することを目的とする。

【構成】 1) 半導体基板1上に層間絶縁膜4を形成し、この膜上に金属膜6からなるパターンを形成し、基板上全面にアモルファスシリコン膜7Aを成長し、この膜をエッチバックして該パターンの周縁部側面に側壁を形成し、基板上に絶縁膜8を被着するように構成する。2) 半導体基板1上に層間絶縁膜4を被着し、該層間絶縁膜を開口して該基板の表面を露出させ、該開口を覆ってポリシリコン膜5からなる電極を形成し、該電極上に高融点金属膜6を選択成長し、該基板上全面にアモルファスシリコン膜7Aを成長し、該アモルファスシリコン膜をエッチバックして該高融点金属膜の周縁部側面に側壁を形成し、基板上に絶縁膜8を被着するように構成する。

実施例の断面図



【特許請求の範囲】

【請求項1】 半導体基板(1)上に層間絶縁膜(4)を形成し、該層間絶縁膜上に金属膜(6)からなるパターンを形成する工程と、次いで、該基板上全面にアモルファスシリコン膜(7A)を成長し、該アモルファスシリコン膜をエッチバックして、該パターンの周縁部側面に該アモルファスシリコン膜からなる側壁を形成する工程と、次いで、該基板上に絶縁膜(8)を被着する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板(1)上に層間絶縁膜(4)を被着し、該層間絶縁膜を開口して該基板の表面を露出させる工程と、次いで、該開口を覆って該基板に電氣的に接続するポリシリコン膜(5)からなる電極を形成する工程と、次いで、該電極上に高融点金属膜(6)を選択成長する工程と、次いで、該基板上全面にアモルファスシリコン膜(7A)を成長し、該アモルファスシリコン膜をエッチバックして、該高融点金属膜の周縁部側面に該アモルファスシリコン膜からなる側壁を形成する工程と、次いで、該基板上に絶縁膜(8)を被着する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に係り、特に金属電極を形成した際の平坦化方法に関する。

【0002】 近年、半導体装置は高速化に伴い、電極形成に従来のポリシリコン膜に代わって金属シリサイド膜が用いられるようになってきている。この場合も、微細加工のために安定した基板の平坦化プロセスが要求されている。

【0003】 本発明はこの要求に対応した製法として利用できる。

【0004】

【従来の技術】 本明細書では、電極の代表例としてバイポーラトランジスタのエミッタ電極について説明する。

【0005】 図2は従来例を説明する断面図である。図において、1はn型シリコン(n-Si)基板、1Bはベース領域、1BCはベース引出し領域、1Eはエミッタ領域、2は分離絶縁膜で熱酸化による二酸化シリコン(SiO₂)膜、3はベース引出し電極でポリシリコン膜、4は層間絶縁膜で気相成長(CVD)によるSiO₂膜、5は電極でポリシリコン膜、6は電極上に選択成長された1層目タングステン(W)膜、7は平坦化膜でスピニングガラス(SOG)膜、8はカバー膜でりん珪酸ガラス(PSG)膜、9はカバー膜の開口内に選択成長された2層目W膜、10は配線下地膜で窒化チタン(TiN)膜、11は配線で銅(Cu)を含んだアルミニウム(Al)合金の配線である。

【0006】

【発明が解決しようとする課題】 従来例では、平坦化にSOG膜を使用して、SOG膜とW膜が接触しており、SOG

のベーク温度(450℃以上)でSOGからのアウトガスによりW膜が酸化され、W-W間、W-Al間のコンタクト抵抗が激増した。

【0007】 この結果、電極のコンタクト抵抗が増加するという欠点があった。本発明は金属シリサイド電極の金属が酸化されないで、基板表面を平坦化する方法の提供を目的とする。

【0008】

【課題を解決するための手段】 上記課題の解決は、1)

10 半導体基板(1)上に層間絶縁膜(4)を形成し、該層間絶縁膜上に金属膜(6)からなるパターンを形成する工程と、次いで、該基板上全面にアモルファスシリコン膜(7A)を成長し、該アモルファスシリコン膜をエッチバックして、該パターンの周縁部側面に該アモルファスシリコン膜からなる側壁を形成する工程と、次いで、該基板上に絶縁膜(8)を被着する工程とを有する半導体装置の製造方法、あるいは2) 半導体基板(1)上に層間絶縁膜(4)を被着し、該層間絶縁膜を開口して該基板の表面を露出させる工程と、次いで、該開口を覆って該基板に電氣的に接続するポリシリコン膜(5)からなる電極を形成する工程と、次いで、該電極上に高融点金属膜(6)を選択成長する工程と、次いで、該基板上全面にアモルファスシリコン膜(7A)を成長し、該アモルファスシリコン膜をエッチバックして、該高融点金属膜の周縁部側面に該アモルファスシリコン膜からなる側壁を形成する工程と、次いで、該基板上に絶縁膜(8)を被着する工程とを有する半導体装置の製造方法により達成される。

【0009】

【作用】 本発明は、ポリシリコン膜上に例えばWを選択成長した後、アモルファスシリコン(a-Si)を250℃程度の低温で成長し、HBrを用いた反応性イオンエッチング(RIE)によりエッチバックし、W膜のエッジ部にa-Siの側壁を残して平坦化するものである。

【0010】 ここで、HBrはWを殆どエッチングすることなく、またSiO₂とのエッチング選択比が20以上もあるため、エッチバックは余裕を持って行える。また、エミッタ窓内のくびれにa-Siが残るような場合は、n型に漬くドープしたa-Siを成長すればよい。

40 【0011】 このように、本発明ではSOGを使用しないでWのエッジ部を平坦化できるので、Wの酸化とSOGからのアウトガスによるコンタクト抵抗の増加は抑制できる。アモルファスシリコン(a-Si)を平坦化材料に選んだ理由は次の通りである。

【0012】 Wは比較的簡単に酸化されるので、なるべく低温で成長する必要がある。このため、a-Siは250℃程度の低温で成長できるので、Wの酸化によるコンタクト抵抗の増加を防止できる。

【0013】 a-Siの代わりに、ポリシリコンでも低温で成長できれば使用できるが、低温成長は無理である。

【0014】

【実施例】図1(A)~(C)は本発明の一実施例を説明する断面図である。図1(A)において、n-Si基板1の分離領域に分離絶縁膜として熱酸化によるSiO₂膜2を形成する。

【0015】次いで、p型不純物を高濃度にドーブした厚さ2500Åのポリシリコン膜3と層間絶縁膜4として厚さ3000ÅのCVD SiO₂膜を成長し、パターニングしてベース引出し電極を形成する。

【0016】p型ポリシリコンの成長条件の一例は次の通りである。

反応ガス：SiH₄/B₂H₆

ガス圧力：0.2 Torr

基板温度：620℃

次いで、基板に陽素イオン(B⁺)を注入してベース領域1Bを形成する。

【0017】B⁺の注入条件は、エネルギー10 KeV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ である。次いで、基板上全面に厚さ3000ÅのCVD SiO₂膜を成長し、エッチバックして側壁を残してエミッタ形成部を開く。

【0018】次いで、n型不純物を高濃度にドーブした厚さ1000Åのポリシリコン膜5を成長し、パターニングしてエミッタ電極を形成する。n型ポリシリコンの成長条件の一例はつぎの通りである。

【0019】

反応ガス：SiH₄/PH₃

ガス圧力：0.2 Torr

基板温度：620℃

なお、ポリシリコン膜3、5はアンドープで成長後、後工程においてイオン注入等を用いてドーブしてもよい。

【0020】次いで、窒素(N₂)中で1100℃、20分の熱処理を行い、ポリシリコン膜3から基板内にp型不純物が高濃度にドーブされてベース引出し領域1BCが、ポリシリコン膜5から基板内にn型不純物が高濃度にドーブされてエミッタ領域1Eが形成される。

【0021】次いで、ポリシリコン膜5上に選択的に厚さ1500Åの1層目W膜6を成長する。Wの成長条件の一例はつぎの通りである。

【0022】

反応ガス：WF₆/SiH₄/H₂

ガス圧力：25 mTorr

基板温度：300℃

図1(B)において、基板上全面に厚さ5000Åのa-Si膜7Aを成長する。

【0023】a-Siの成長条件の一例はつぎの通りである。

反応ガス：Si₃H₈

ガス圧力：0.1 Torr

基板温度：250℃

次いで、RIEにより、a-Si膜7AをエッチバックしてW膜6のエッジ部にa-Si膜7Aからなる側壁を残す。

【0024】a-SiのRIE条件の一例はつぎの通りである。

反応ガス：HBr

ガス圧力：0.1 Torr

RF電力：300 W

10 図1(C)において、CVD法により、基板上全面にカバー膜として厚さ3000ÅのPSG膜8を成長する。

【0025】次いで、1層目a-Si膜7A上のPSG膜8を開口して、開口部に選択的に厚さ3000Åの2層目W膜9を成長する。次いで、スパッタ法により、基板上全面に厚さ2000ÅのTiN膜10、厚さ7000ÅのAl/Cu膜11を順に被着し、これらの膜をパターニングして2層目a-Si膜9上にこの2層膜からなる配線を形成する。

【0026】実施例では金属膜としてWを用いたが、これの代わりにモリブデン(Mo)、チタン(Ti)等であっても本発明は適用可能である。

【0027】

【発明の効果】金属シリサイド電極の金属が酸化されないうで、電極形成後の基板表面を平坦化することができた。

【0028】この結果、電極のコンタクト抵抗の増加を抑制し、デバイスの高速度と製造歩留向上に寄与することができた。

【図面の簡単な説明】

【図1】本発明の一実施例を説明する断面図

30 【図2】従来例を説明する断面図

【符号の説明】

1 半導体基板でn-Si基板

1B ベース領域

1BC ベース引き出し領域

1E エミッタ領域

2 分離絶縁膜で熱酸化によるSiO₂膜

3 ベース引出し電極でポリシリコン膜

4 層間絶縁膜でCVD SiO₂膜

5 電極でポリシリコン膜

40 6 電極上に選択成長された1層目W膜

7A 平坦化膜でa-Si膜

8 カバー膜でPSG膜

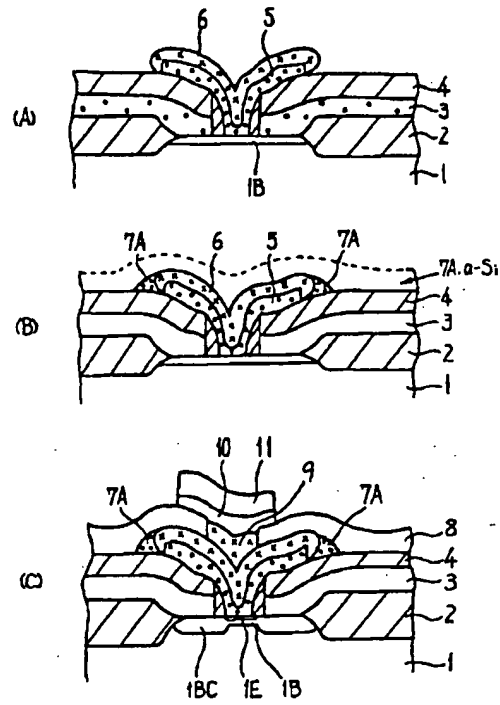
9 カバー膜の開口内に選択成長された2層目W膜

10 配線下地膜でTiN膜

11 配線でAl/Cu合金の配線

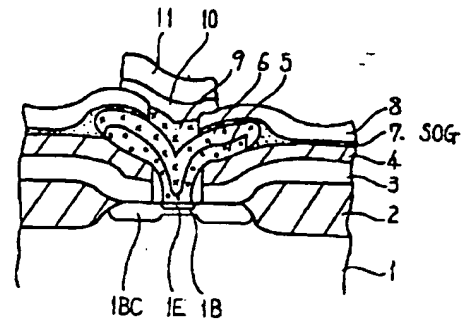
【図1】

実施例の断面図



【図2】

従来例の断面図



フロントページの続き

(51) Int. Cl.⁵
H01L 21/331
29/73

識別記号 庁内整理番号

F I

技術表示箇所